

同時発表：

筑波研究学園都市記者会（資料配布）

文部科学記者会（資料配布）

科学記者会（資料配布）



## ダイヤモンド論理回路チップの開発

～過酷環境下に強いダイヤモンド集積回路の開発へ前進～

配布日時：平成29年5月31日14時  
国立研究開発法人物質・材料研究機構

### 概要

1. 国立研究開発法人物質・材料研究機構（以下NIMS）機能性材料研究拠点の劉江偉独立研究者、技術開発・共用部門の小出康夫部門長らの研究グループは、過酷環境下に強いダイヤモンド集積回路を開発するための第一歩として、2種類の動作モードを持つ金属-酸化物-半導体(MOS)電界効果トランジスタ(FET)<sup>1)</sup>を組み合わせたダイヤモンド論理回路チップの開発に世界で初めて成功しました。
2. ダイヤモンドは、高いキャリア移動度、大きな破壊電界および大きな熱伝導率を持つことから、高温、高出力、および高周波で安定に動作する電流スイッチおよび集積回路への応用が期待されています。しかしながら、これまでダイヤモンドMOSFETのしきい値電圧<sup>2)</sup>の正負を制御することが難しく、2種の動作モードであるデプレッションモード(以下Dモード)およびエンハンスメントモード(以下Eモード)<sup>3)</sup>のMOSFETをそれぞれ同一チップ上に作製することは困難でした。これまでに研究グループが開発した独自のしきい値制御プロセス法を利用することで、これら2種類のMOSFETを同一チップ上に作製できたことが論理回路チップ開発の成功の鍵となりました。
3. 研究グループは、2012年に光電子分光法<sup>4)</sup>により、種々酸化物と水素終端ダイヤモンド<sup>5)</sup>界面の電子構造を明らかにしました<sup>6)</sup>。2013年には極めて低い漏れ電流密度を持つダイヤモンドMOSキャパシタの開発に成功するとともに<sup>7)</sup>、困難であったEモード動作する水素終端ダイヤモンドMOSFETの開発に成功しました<sup>8)</sup>。続いて2014年にダイヤモンドMOSFETと抵抗器の組合せでインバータ論理回路チップを試作し<sup>9)</sup>、更に2015年にはダイヤモンドMOSFETのDモードとEモードの制御プロセス法を開発するとともにそのメカニズムを明らかにしました<sup>10)</sup>。これら一連の研究成果は米国物理学会誌プレスニュースとして紹介されました<sup>11)</sup>。今回の研究成果はこれらの一連の研究成果が基盤となって達成されました。
4. ダイヤモンド論理回路チップは、高温、放射線や宇宙線下の過酷環境条件においても安定に動作するデジタル回路等の集積回路への応用が期待されます。
5. 本研究は文部科学省 科学技術人材育成費補助事業「卓越研究員事業」(代表者:劉江偉)、科学研究費助成事業基盤研究(A)「巨大分極電荷を利用する新機能ダイヤモンド電子デバイスの開発」(代表者:小出康夫)、若手研究(B)「Fabrication of high current output fin-type diamond field-effect transistors」(代表者:劉江偉)の一環として行われ、デバイス作製において文部科学省ナノテクノロジープラットフォーム事業NIMS 微細加工プラットフォームの支援を得ました。
6. 本研究成果は、現地時間5月9日に米国IEEE電子デバイス学会「IEEE Electron Device Letters」電子版IEEE Xplore Digital Libraryでプレプリントが発表されました。

## 研究の背景

窒化ガリウム、炭化ケイ素、およびダイヤモンドのようなワイドバンドギャップ半導体は、大きなバンドギャップエネルギー、高いキャリア移動度および大きな破壊電界を持つため、高電力および高周波電子デバイスへの応用が期待されています。この中でもダイヤモンドは、その物性定数から最も高い電力制限、最も高い温度制限、および高い周波数での最も低い電力損失を持つと期待されるため、高温、高出力、高周波の過酷環境下でも安定に動作する電流スイッチおよび集積回路への応用が大きく期待されています。

高性能ダイヤモンド電子デバイスを開発するために、水素終端されたダイヤモンド<sup>5)</sup>が注目されています。水素終端ダイヤモンド表面近傍の電子は、表面吸着アクセプタへの電子遷移が可能であり、結果としてダイヤモンド表面上に二次元正孔ガス<sup>12)</sup>が蓄積されます。近年、水素終端ダイヤモンド表面を伝導チャネルに用いたFETの開発が注目されていますが、これまでFETのしきい値電圧<sup>3)</sup>の正負を制御することが難しく、DおよびEモードFET動作<sup>3)</sup>を区別して作製することは困難でした。

研究グループは、2012年に光電子分光法<sup>4)</sup>により、種々酸化物と水素終端ダイヤモンド<sup>5)</sup>界面のバンド構造を明らかにし、酸化アルミニウム ( $Al_2O_3$ ) / 水素終端ダイヤモンド界面の大きな価電子帯エネルギーオフセットが高性能MOS電子デバイス動作に有利であることを見出しました<sup>6)</sup>。2013年に極めて低い漏れ電流密度を持つダイヤモンドMOSキャパシタの開発に成功するとともに<sup>7)</sup>、困難であったEモード動作をする水素終端ダイヤモンドMOSFETの開発に成功しました<sup>8)</sup>。続いて2014年にダイヤモンドMOSFETと抵抗器の組合せでインバータ論理回路チップを試作し<sup>9)</sup>、更に2015年にダイヤモンドMOSFETのDモードとEモードの制御プロセスを開発し、そのメカニズムを明らかにしました<sup>10)</sup>。DおよびEモードMOSFETをそれぞれ作製するためには2つの作製プロセスが必要であり、一つは、原子層堆積(ALD)技術<sup>13)</sup>およびスパッタリング堆積(SD)技術によって二層酸化膜ゲート構造を作製することです。他の一つは、その構造を150~350°Cでアニーリング<sup>14)</sup>することです。これはアニールに伴う2層酸化物間の反応によって酸化物ゲート内の電荷分布が変化することが、しきい値電圧制御に関与しています。対照的に、単一のALD- $Al_2O_3$ 層をゲート酸化物とする水素終端ダイヤモンドMOSFETはアニールを施しても電荷分布が変化しないためDモード動作します。即ち、ゲート構造と作製プロセスによってMOSFETの動作モードが制御できることが鍵となりました。

## 研究内容と成果

ダイヤモンド論理回路チップの作製手順は以下の通りです。まず、マイクロ波プラズマ化学気相成長法<sup>15)</sup>によって、3mm角の単結晶ダイヤモンド基板上に水素終端ダイヤモンドエピタキシャル層を成長させました。次に、プラズマ反応性イオンエッチング法を用いて、酸素雰囲気中で水素終端ダイヤモンドをエッチングすることによって、個々のデバイス領域(メサ構造)<sup>16)</sup>を形成しました。その後、SDおよびALD法を用いてランタンアルミニウム/アルミニウム酸化物( $LaAlO_3/Al_2O_3$ )2層積層構造および単一の $Al_2O_3$ 酸化物単層構造からなる2種類のゲート酸化膜をレーザーソグラフィ法によって同一基板上に作製しました。次に、金属を真空蒸着させ水素終端ダイヤモンド表面にオーム性電極<sup>17)</sup>を形成しました。ここで重要なプロセスは、途中フォトリソパターニングのために180°Cのアニールを施すことでした。この結果、上述したように2層ゲート酸化物間の反応によってしきい値電圧が負となりEモードFETが作製され、一方単層ゲートでは反応が起こらないためしきい値電圧が正となりDモードFETが同時に作製されました。図1に、3mm角チップ上に作製されたダイヤモンドNOT(ノット)およびNOR(ノア)論理回路の主要部分の光学顕微鏡写真を示します。図2(a)および(c)は、ダイヤモンドMOSFETからなるそれぞれNOTおよびNOR論理回路部分を拡大した光学顕微鏡写真を示します。図2(b)および(d)は、それぞれ対応するNOTおよびNOR論理回路の電子回路模式図を示します。 $V_{in}$ は入力電圧、 $V_{out}$ は出力電圧、 $V_{DD}$ は供給電圧を表しています。 $V_{in1}$ および $V_{in2}$ は、NOR論理回路の2つの入力電圧を表しています。NOT論理回路は、1個のDモードMOSFETと1個のEモードMOSFETで構成されており、NOR論理回路は、1個のDモードMOSFETと2個のEモードMOSFETから構成されています。

図3(a)に、 $V_{DD}$ が-5.0から-25.0Vまで変化したときのNOT論理回路の電圧伝達特性を示しています。 $V_{in}$ が0Vの場合、EモードMOSFETはオフ状態で、その結果 $V_{out}$ は $V_{DD}$ に近づきます。 $V_{in}$ が-10.0Vの場合、EモードMOSFETがオン状態になり、 $V_{out}$ がグラウンドレベルに近づきます。従って、 $V_{in}$ が「0」信号で動作するとき、 $V_{out}$ は「1」信号に応答し、同様に、 $V_{in}$ が「1」信号で動作する場合、 $V_{out}$ は「0」

信号に応答します。即ち、明確なインバータ（反転）特性を示しています。図3 (b) は、4つの  $V_{in}$  信号状態の変化を伴う NOR 論理回路の  $V_{out}$  信号を示します。 $V_{in1}$  と  $V_{in2}$  の両方が  $-10.0V$  信号の場合、両方の E モード MOSFET はオン状態で動作し、D モード MOSFET の両端の電流は、2つの E モード MOSFET の合計の電流に等しくなり、 $V_{DD}$  を大きく減少させます。 $V_{in1}$  と  $V_{in2}$  が  $-10.0$  と  $0V$  の場合、1つの E モード MOSFET のみがオン状態で動作し、D モード MOSFET の両端の電流は、1つの E モード MOSFET の電流に等しくなり、 $V_{DD}$  を減少させます。 $V_{in1}$  と  $V_{in2}$  の両方が  $0V$  の場合、両方の E モード MOSFET はオフ状態で動作し、 $V_{out}$  は  $V_{DD}$  に近づきます。従って、一方または両方の入力電圧が「1」信号の場合、 $V_{out}$  は低「0」信号に応答し、同様に、両方の入力電圧が「0」信号で動作する場合、 $V_{out}$  は高論理「1」信号に応答します。即ち、この論理回路が NOR ゲート特性で動作することを明確に示しています。

このように D および E モード MOSFET は、バイアス状態によって抵抗負荷またはスイッチングトランジスタとして動作しており、明確な論理動作を示しました。過酷環境下に強いダイヤモンド集積回路を開発するための第一歩として、D および E モード動作する MOSFET を組み合わせさせたダイヤモンド論理回路チップの開発に世界で初めて成功しました。

## 今後の展開

すべてのデジタルと名の付く電気製品には論理回路が組み込まれており、ダイヤモンド論理回路は高温・放射線・宇宙環境などの過酷環境条件においても安定に動作する集積回路への応用が期待されます。本成果により、過酷環境下でも動作する論理回路やデジタル回路が組み込まれた半導体装置の道を切り開くことで産業用として将来的な利用が期待されます。

## 掲載論文

題目 : Logic circuits with hydrogenated diamond field-effect transistors

著者 : Jiangwei Liu, Hirotaka Ohsato, Meiyong Liao, Masataka Imura, Eiichiro Watanabe, and Yasuo Koide

雑誌 : IEEE Electron Device Letters

掲載日時 : 平成 29 年 5 月 9 日

## 用語解説

### 1) 電界効果トランジスタ (FET)

電界効果トランジスタは、ゲート電極に電圧をかけ、伝導チャネルの電界により電子または正孔の流れに閘門（ゲート）を設ける原理で、ソース・ドレイン端子間の電流を制御するトランジスタです。

### 2) FET のしきい値電圧

FET の電流－電圧特性において、ソース・ドレイン間に流れる電流の遮断（オフ）状態から伝導（オン）状態に変化させるゲート電圧をしきい値電圧と呼んでいます。即ち、FET のオンとオフを分ける電圧で正または負電圧によって FET の動作モードが異なり、論理回路を構成するためにはこの 2 種類の動作モードが不可欠となります。

### 3) デプレッション (D) モードとエンハンスメント (E) モード動作

FET の動作モードで、ゲート電圧がゼロでもドレイン電流が流れるモードをデプレッション (D) モード（またはノーマリーオンモード）と言います。ゲート電圧をかけないときはドレイン電流が流れないモードをエンハンスメント (E) モード（ノーマリーオフモード）と言います。論理回路を構成するためには、これら 2 種類の D/E モード FET が不可欠となります。

### 4) 光電子分光法

光電子分光法は光電効果によって外に飛び出してきた電子のエネルギーを測定し、固体の表面および界面の電子状態を調べる測定方法です。

### 5) 水素終端ダイヤモンド

ダイヤモンド表面上の炭素原子の未結合手と水素が結合した表面構造で、ダイヤモンド表面近傍に高濃度の正孔が蓄積されることが知られています。

#### 6) 参考文献

J. W. Liu, M. Y. Liao, M. Imura, and Y. Koide, “Band offsets of Al<sub>2</sub>O<sub>3</sub> and HfO<sub>2</sub> oxides deposited by atomic layer deposition technique on hydrogenated diamond,” Applied Physics Letters 101, 252108 (2012).

#### 7) 参考文献

J. W. Liu, M. Y. Liao, M. Imura, H. Oosato, E. Watanabe, A. Tanaka, H. Iwai, and Y. Koide, “Interfacial band configuration and electrical properties of LaAlO<sub>3</sub>/Al<sub>2</sub>O<sub>3</sub>/hydrogenated-diamond metal-oxide-semiconductor field effect transistors,” Journal of Applied Physics 114, 084108 (2013).

#### 8) 参考文献

J. W. Liu, M. Y. Liao, M. Imura, and Y. Koide, “Normally-off HfO<sub>2</sub>-gated diamond field effect transistors,” Applied Physics Letters 103, 092905 (2013).

#### 9) 参考文献

J. W. Liu, M. Y. Liao, M. Imura, E. Watanabe, H. Oosato, and Y. Koide, “Diamond logic inverter with enhancement-mode metal-insulator-semiconductor field effect transistor,” Applied Physics Letters 105, 082110 (2014).

#### 10) 参考文献

J. W. Liu, M. Y. Liao, M. Imura, T. Matsumoto, N. Shibata, Y. Ikuhara, and Y. Koide, “Control of normally on/off characteristics in hydrogenated diamond metal-insulator-semiconductor field-effect transistors,” Journal of Applied Physics 118, 115704 (2015).

#### 11) 参考ウェブサイト

AIP Publishing, “Engaging Diamond for Next-Era Transistors”  
<https://publishing.aip.org/publishing/journal-highlights/engaging-diamond-next-era-transistors>

#### 12) 二次元正孔ガス

半導体内で二次元的に閉じ込められた平面内で自由運動する伝導正孔のことを言います。

#### 13) 原子層堆積 (ALD) 技術

酸化物を例にとると、2種類の原料ガスを数十ミリ秒から数百ミリ秒の時間パルスの交互に供給しながら原子層成長させる薄膜堆積気相成長技術です。

#### 14) アニーリング

アニーリングは、窒素またはアルゴン雰囲気中での熱処理です。

#### 15) 化学気相成長技術

マイクロ波導波路を通してマイクロ波を照射することによって、原料ガスをプラズマ状態にするプラズマ気相成長法です。これによって原料ガスの原子や分子は励起されて化学的に活性となり、様々な物質の薄膜を成長させる方法の一つです。

#### 16) メサ構造

半導体電子デバイスを作製する時、ドライエッチング等で断面を台形状にして、デバイス領域を形成

することです。

#### 17) オーム性電極

オーム性電極とは、電極と半導体の接触抵抗が十分小さく、電流の方向と電圧の大きさによらず、抵抗値が一定の電極を言います。

#### 本件に関するお問い合わせ先

(研究内容に関すること)

国立研究開発法人 物質・材料研究機構 機能性材料研究拠点

独立研究者 劉 江偉 (りゅう こうい)

TEL : 029-860-4954

FAX : 029-860-4672

E-Mail : [liu.jiangwei@nims.go.jp](mailto:liu.jiangwei@nims.go.jp)

国立研究開発法人 物質・材料研究機構 技術開発・共用部門

部門長 小出 康夫 (こいで やすお)

TEL : 029-859-2270

FAX : 029-859-2100

E-mail : [koide.yasuo@nims.go.jp](mailto:koide.yasuo@nims.go.jp)

(報道・広報に関すること)

国立研究開発法人 物質・材料研究機構 経営企画部門 広報室

〒305-0047 茨城県つくば市千現 1-2-1

TEL: 029-859-2026, FAX: 029-859-2017

E-mail: [pressrelease@ml.nims.go.jp](mailto:pressrelease@ml.nims.go.jp)

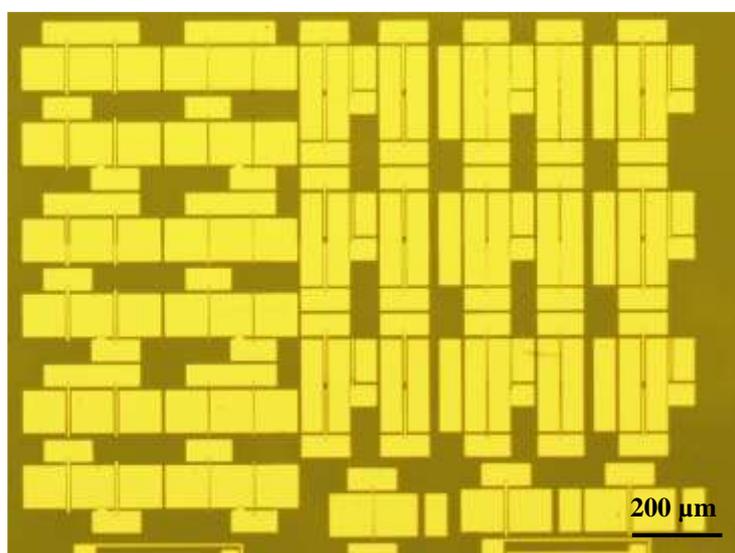


図1. 作製されたダイヤモンド論理回路チップの顕微鏡写真

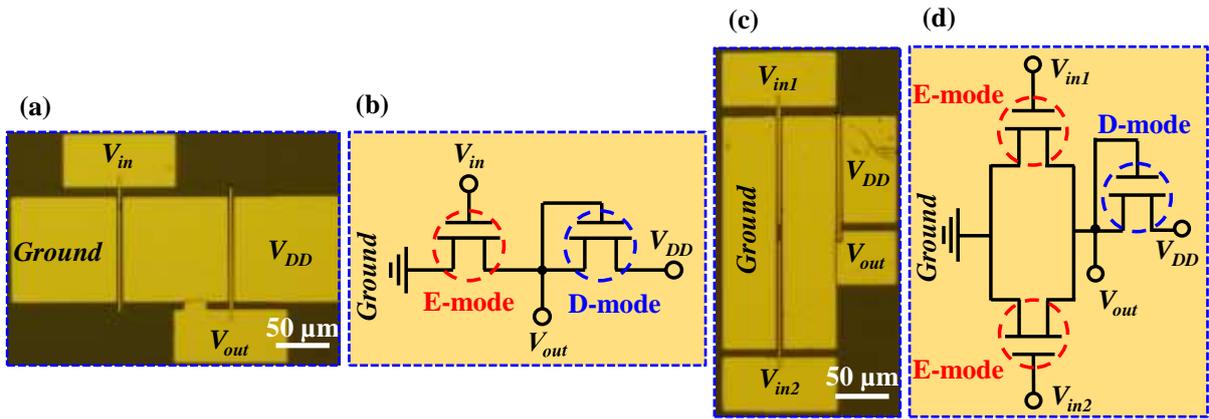


図2 (a) および (c) は、ダイヤモンドMOSFET NOT およびNOR 論理回路の光学顕微鏡で拡大した画像である、(b) および (d) は、ダイヤモンドMOSFET NOT およびNOR 論理回路の回路模式図。 $V_{in}$  は入力電圧、 $V_{out}$  は出力電圧、 $V_{DD}$  は供給電圧を表す。 $V_{in1}$  および  $V_{in2}$  は、NOR 論理回路の2つの入力電圧を表す。NOT 論理回路は、それぞれ1個のDモードとEモードMOSFET で構成され、NOR 論理回路は、1個のDモードMOSFET と2個のEモードMOSFET で構成されている。

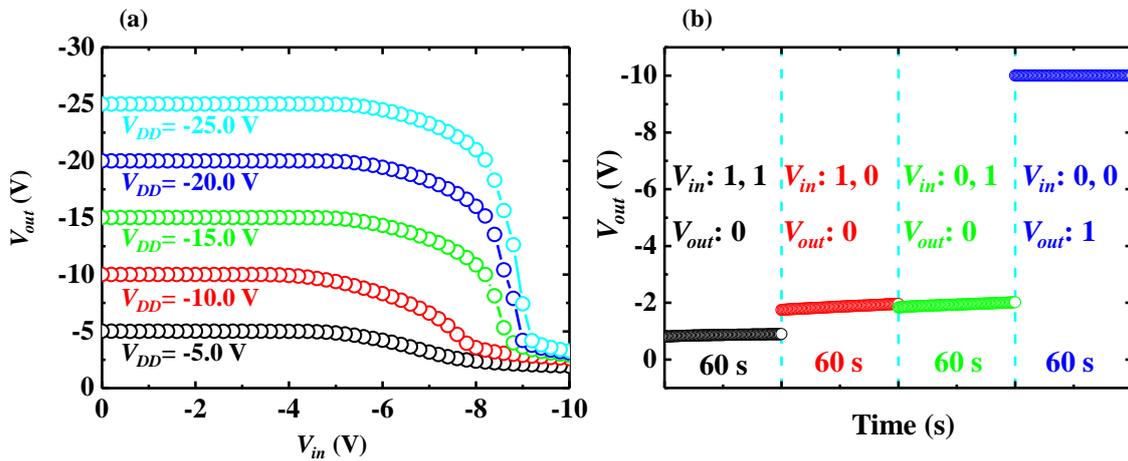


図3 (a) 水素終端ダイヤモンドMOSFET NOT 論理回路の電圧伝達特性、(b) 水素終端ダイヤモンドMOSFET NOR 論理回路の出力電圧信号